

对称三材料双栅应变硅 MOSFET 亚阈值电流与亚阈值斜率解析模型

辛艳辉¹, 袁合才², 辛 洋³

(1. 华北水利水电大学信息工程学院, 河南郑州, 450046; 2. 华北水利水电大学数学与统计学院, 河南郑州, 450046;
3. 水利勘察设计院, 山东德州, 253014)

摘 要: 基于泊松方程和边界条件, 推导了对称三材料双栅应变硅金属氧化物半导体场效应晶体管(MOSFET: metal oxide semiconductor field effect transistor)的表面势解析解. 利用扩散-漂移理论, 在亚阈值区电流密度方程的基础上, 提出了亚阈值电流与亚阈值斜率二维解析模型. 分析了沟道长度、功函数差、弛豫 SiGe 层的 Ge 组份、栅介质层的介电常数、应变硅沟道层厚度、栅介质高 k 层厚度和沟道掺杂浓度等参数对亚阈值性能的影响, 并对亚阈值性能改进进行了分析研究. 研究结果为优化器件参数提供了有意义的指导. 模型解析结果与 DESSIS 仿真结果吻合较好.

关键词: 亚阈值电流; 亚阈值斜率; 三材料双栅; 应变硅

中图分类号: TN386

文献标识码: A

文章编号: 0372-2112 (2018)11-2768-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2018.11.026

Analytical Models of Subthreshold Current and Subthreshold Slope for Symmetrical Triple-Material Double-Gate s-Si MOSFETs

XIN Yan-hui¹, YUAN He-cai², XIN Yang³

(1. Department of Information and Engineering, North China University of Water Resources and Electric Power, Zhengzhou, Henan 450046, China;
2. Department of Mathematics and Information Science, North China University of Water Resources and Electric Power, Zhengzhou, Henan 450046, China;
3. Water Conservancy Survey and Design Institute, Dezhou, Shandong 253014, China)

Abstract: The surface potential analytical solution is derived by Poisson equation and the boundary condition for symmetrical triple-material (TM) double-gate (DG) strained-Si (s-Si) MOSFETs. Two-dimensional analytical models of subthreshold current and subthreshold slope are proposed from subthreshold current density equation based on the diffusion-drift theory. Effects of device parameters on subthreshold characteristics have been discussed and the physical mechanism has been explained. The parameters include channel length, work function difference, Ge mole fraction, permittivity of gate dielectric, strained Si film thickness, high-k layer thickness and channel doping concentration. The improvement of the subthreshold performance has been studied, which provides significant guidance to optimize the device parameters. The analytical models agree well with simulation using DESSIS.

Key words: subthreshold current; subthreshold slope; triple-material double-gate; strained-Si

1 引言

随着 MOS 器件沟长的缩短, 抑制短沟道效应(SC-Es; short-channel effects)、漏致势垒降低效应(DIBL: drain-induced barrier lowering)成为研究的热点问题^[1~3]. 研究表明, 三材料栅能抑制短沟道效应^[4,5], 应变硅沟道能提高载流子迁移率^[6]. 结合三材料栅和应

变硅沟道的优点提出了对称三材料双栅(TM-DG: Three material-double gate)应变硅(s-Si; strained Silicon) MOSFET 器件结构^[7], 分析了阈值电压解析模型. 然而, 随着器件尺寸的缩小, 亚阈值电流的增大必将引起功耗的增加, 因此, 亚阈值特性成为影响功耗的重要限制因素. 另外, 在数字信息系统中, 器件的开关特性主要受亚阈值特性的影响, 开关特性决定了器件的性能. 建立精确

收稿日期: 2017-11-10; 修回日期: 2018-02-26; 责任编辑: 马兰英

基金项目: 河南省科技公关项目(No. 172102210367); 华北水利水电大学高层次人才科研启动项目(No. 40436)

的二维解析模型,分析器件的亚阈值特性是非常有必要的. Tiwari 等^[8]提出了硅沟道二氧化硅栅介质三材料双栅 MOSFET 器件的亚阈值解析模型,表明了三材料栅比双材料栅有更好的亚阈值特性. 然而,应变硅沟道高 k 栅介质的三材料双栅 MOSFET 结构的亚阈值特性研究还未见到有关报道.

本文对提出的对称三材料双栅应变硅 MOSFET 器件结构求解二维泊松方程,得到表面势解析解. 利用扩散-漂移理论,在亚阈值区电流密度方程的基础上,推导了该结构的亚阈值电流与亚阈值斜率二维解析模型,分析了器件参数对亚阈值性能的影响,研究了其物理机理,对改进器件的亚阈值性能有重要的指导意义.

2 表面势模型

图 1 为该结构示意图,前栅和后栅结构对称,均由不同功函数的金属栅 $M1$ 、 $M2$ 、 $M3$ 组成 ($\phi_{M1} = 4.8\text{eV}$, $\phi_{M2} = 4.6\text{eV}$, $\phi_{M3} = 4.4\text{eV}$), $M1$ 为控制栅, $M2$ 、 $M3$ 为屏蔽栅,其长度分别为 $L1$ 、 $L2$ 、 $L3$,且栅长 $L = L1 + L2 + L3$. 栅介质层为高 k 介质层,其厚度用 t_f 表示,沟道为均匀掺杂的应变硅沟道,厚度用 t_{s-Si} 表示. 栅下沟道分成了 I、II、III 三个区域. 令 x, y 分别平行和垂直于沟道方向,在强反型前,三个区域的 Poisson 方程写为:

$$\frac{\partial^2 \phi_j(x, y)}{\partial x^2} + \frac{\partial^2 \phi_j(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{Si}}, j=1, 2, 3 \quad (1)$$

其中, N_A 为沟道掺杂浓度, ϵ_{Si} 为应变硅的介电常数. 根据 Young 模型^[9],三个区域的势能分布写为:

$$\phi_j(x, y) = \phi_{sj}(x) + C_{j1}(x)y + C_{j2}(x)y^2, \quad 0 \leq y \leq t_{s-Si}, j=1, 2, 3 \quad (2)$$

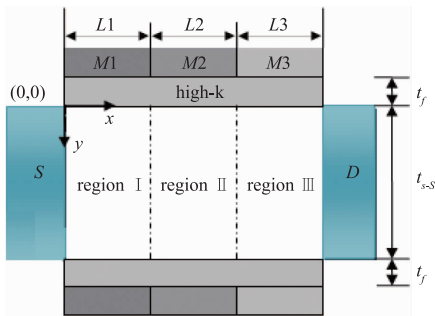


图1 对称TM-DG s-Si MOSFETs结构示意图

这里, $\phi_{sj}(x) = \phi_j(x, 0)$ 是应变硅沟道正面表面电势, $C_{j1}(x)$ 、 $C_{j2}(x)$ 是仅与 x 有关的函数.

应变硅沟道正面与背面分别与高 k 层界面的电通量连续,得到:

$$\left[\frac{d\phi_j(x, y)}{dy} \right]_{y=0} = \frac{\epsilon_f \phi_j(x, 0) - (V_{GS} - (V_{FBj})_{s-Si})}{t_f} \quad (3)$$

$$\left[\frac{d\phi_j(x, y)}{dy} \right]_{y=t_{s-Si}} = \frac{\epsilon_f V_{GS} - (V_{FBj})_{s-Si} - \phi_j(x, t_{s-Si})}{t_f} \quad (4)$$

这里, $(V_{FBj})_{s-Si}$ 为三个区域的平带电压^[7], 即:

$$(V_{FBj})_{s-Si} = \left[\phi_{Mj} - \left(\frac{\chi_{Si}}{q} + \frac{E_{g, Si}}{2q} + V_T \ln \left(\frac{N_A}{n_{i, Si}} \right) \right) \right] - 0.245X, j=1, 2, 3$$

其中, ϕ_{Mj} , $j=1, 2, 3$ 分别是三种材料金属栅的功函数, χ_{Si} 为体硅材料的电子亲和势, $E_{g, Si}$ 为体硅材料的禁带宽度, q 为电子的电量, V_T 为热电压, $n_{i, Si}$ 为本征 Si 的掺杂浓度, X 为弛豫 SiGe 层中 Ge 组分.

区域 I - II 与 II - III 交界处的电势与电场分别连续, 得到:

$$\phi_1(L_1, 0) = \phi_2(L_1, 0) \quad (5)$$

$$\phi_2(L_1 + L_2, 0) = \phi_3(L_1 + L_2, 0) \quad (6)$$

$$\left[\frac{d\phi_1(x, y)}{dx} \right]_{x=L_1} = \left[\frac{d\phi_2(x, y)}{dx} \right]_{x=L_1} \quad (7)$$

$$\left[\frac{d\phi_2(x, y)}{dx} \right]_{x=L_1+L_2} = \left[\frac{d\phi_3(x, y)}{dx} \right]_{x=L_1+L_2} \quad (8)$$

源、漏端电势分别为:

$$\phi_1(0, 0) = V_{bi, s-Si} \quad (9)$$

$$\phi_3(L_1 + L_2 + L_3, 0) = V_{bi, s-Si} + V_{DS} \quad (10)$$

这里, $V_{bi, s-Si}$ 为源端/漏端-应变硅沟道之间的内建电势^[7].

根据结构对称条件 $\left[\frac{d\phi_j(x, y)}{dy} \right]_{y=\frac{t_{s-Si}}{2}} = 0$ 以及上述边界条件(3)、(4), 能够得出系数 $C_{j1}(x)$ 、 $C_{j2}(x)$ 的表达式:

$$C_{j1}(x) = \frac{\epsilon_f}{\epsilon_{Si}} \cdot \frac{\phi_{sj}(x) - (V_{GS} - (V_{FBj})_{s-Si})}{t_f}, j=1, 2 \quad (11)$$

$$C_{j2}(x) = \frac{\epsilon_f}{\epsilon_{Si}} \cdot \frac{V_{GS} - (V_{FBj})_{s-Si} - \phi_{sj}(x)}{t_f \cdot t_{s-Si}}, j=1, 2 \quad (12)$$

把沟道势能表达式 $\phi_j(x, y)$ 带入(1), 令 $y=0$, 得到沟道的表面势能:

$$\frac{d^2 \phi_{sj}(x)}{dx^2} - \frac{1}{\lambda^2} \phi_{sj}(x) = D_j, j=1, 2, 3 \quad (13)$$

其中, $\lambda^2 = \frac{\epsilon_{Si} t_f t_{s-Si}}{2\epsilon_f}$, $D_j = \frac{qN_A}{\epsilon_{Si}} - \frac{1}{\lambda^2} (V_{GS} - (V_{FBj})_{s-Si})$, $j=1, 2, 3$.

方程(13)为二阶常微分方程,其解的形式为:

$$\phi_{sj}(x) = A_j e^{x/\lambda} + B_j e^{-x/\lambda} - \lambda^2 D_j, j=1, 2, 3 \quad (14)$$

根据式(5)~式(10)得到式(14)的系数,从而得到表面势模型:

$$A_1 = \frac{V_2 e^{L/\lambda} - V_1}{e^{2L/\lambda} - 1}$$

$$\begin{aligned}
B_1 &= \frac{V_2 e^{-L/\lambda} - V_1}{e^{-2L/\lambda} - 1} \\
A_2 &= A_1 - \frac{P_1 - P_2}{2} \cdot e^{-L_1/\lambda} \\
B_2 &= B_1 - \frac{P_1 - P_2}{2} \cdot e^{L_1/\lambda} \\
A_3 &= A_2 - \frac{P_2 - P_3}{2} \cdot e^{-(L_1+L_2)/\lambda} \\
B_3 &= B_2 - \frac{P_2 - P_3}{2} \cdot e^{(L_1+L_2)/\lambda}
\end{aligned}$$

其中,

$$\begin{aligned}
V_1 &= \lambda^2 D_1 + V_{bi,s-Si}, \\
V_2 &= (\lambda^2 D_3 + V_{bi,s-Si} + V_{DS}) + (P_2 - P_3) \\
&\quad \cdot \cosh(L_3/\lambda) + (P_1 - P_2) \cdot \cosh((L_2 + L_3)/\lambda) \\
P_j &= \frac{\lambda^2 q N_A}{\varepsilon_{Si}} + (V_{FBj})_{s-Si}, j=1, 2, 3
\end{aligned}$$

3 亚阈值电流模型

亚阈值电流通常由扩散电流和漂移电流组成. 在弱反型区和耗尽区, 电子电荷很少, 因而漂移电流很小, 漏电流主要由扩散决定, 因此, nMOSFETs 结构中的电流密度可以表示为^[10]:

$$J_n(y) = qD_n \frac{n_{\min}(y)}{L} (1 - e^{-\frac{y}{L}}) \quad (15)$$

q 是电子的电量, D_n 是电子扩散系数, 即 $D_n = \mu_n V_T$, V_T 是热电压. $n_{\min}(y)$ 为沿沟道电势最小载流子密度. 根据玻尔兹曼分布函数, 电子密度可写为:

$$n_{\min}(y) = (n_i^2/N_A) e^{\phi_{s1,\min}(y)/V_T} \quad (16)$$

其中, N_A 为沟道掺杂浓度, n_i 为本征载流子密度, $\phi_{s1,\min}(y)$ 是最小沟道势能的函数.

$$\phi_{s1,\min}(y) = \phi_{s1,\min} + C_{11}y + C_{12}y^2 \quad (17)$$

其中, C_{11} 、 C_{12} 如公式 (11)、(12) 所示. 令 $d\phi_{s1}(x)/dx = 0$, 得到最小表面势:

$$\phi_{s1,\min} = 2 \sqrt{A_1 B_1} - \lambda^2 D_1 \quad (18)$$

亚阈值电流表示为:

$$I_{sub} = K \int_0^{t_{s-Si}} e^{\phi_{s1,\min}(y)/V_T} dy \quad (19)$$

这里, $K = (q\mu_n W V_T n_i^2 / L N_A) [1 - \exp(-V_{DS}/V_T)]$, W 为器件宽度, μ_n 表示电子迁移率, 采用应变硅的电子迁移率模型^[11].

$$\begin{cases} \mu_n = (1 + 7.969X - 10.90X^2) \cdot \mu_{0n}, & X \in [0, 0.15] \\ \mu_n = (1.789 + 1.708X - 2.663X^2) \cdot \mu_{0n}, & X \in [0.15, 0.4] \end{cases} \quad (20)$$

其中,

$$\mu_{0n} = \mu_{n,\min} + \frac{(\mu_{n,\max} - \mu_{n,\min})}{[1 + (N_A/N_{r,n})^\alpha]},$$

$$\mu_{n,\min} = 55.3 \text{ cm}^2/\text{V} \cdot \text{s},$$

$$\mu_{n,\max} = 1430 \text{ cm}^2/\text{V} \cdot \text{s}, \alpha = 0.73,$$

$$N_{r,n} = 1.072 \times 10^{17} \text{ cm}^{-3}.$$

$\phi_{s1,\min}(y)$ 在 $0 \leq y < y_m$ 和 $y_m < y \leq t_{s-Si}$ 两个区域里线性变化, 为了得到方程 (19) 的线性解, 积分分为两部分:

$$I_{sub} = K \left[\int_0^{y_m} e^{\phi_{s1,\min}(y)/V_T} dy + \int_{y_m}^{t_{s-Si}} e^{\phi_{s1,\min}(y)/V_T} dy \right] \quad (21)$$

通过求解 $(\partial \phi_{s1,\min}(y)/\partial y)|_{y=y_m} = 0$, 得到 $y_m = t_{s-Si}/2$.

经过化简, 亚阈值电流为:

$$I_{sub} = \frac{2KV_T(I_1 - I_2)}{E_s} \quad (22)$$

这里,

$$I_1 = e^{[\phi_{s1,\min}(t_{s-Si}/2)/V_T]} \quad (23)$$

$$I_2 = e^{[\phi_{s1,\min}(0)/V_T]} \quad (24)$$

$$E_s = 2[\phi_{s1,\min}(t_{s-Si}/2) - \phi_{s1,\min}(0)]/t_{s-Si} \quad (25)$$

4 亚阈值斜率模型

假设亚阈值电流与最小表面势位置的载流子浓度成比例, 亚阈值斜率表达式为^[12]:

$$S = \frac{\partial V_{GS}}{\partial \log(I_{sub})} \approx V_T \ln(10) \left(\frac{\partial \phi_{s1,\min}}{\partial V_{GS}} \right)^{-1} \quad (26)$$

把式 (18) 代入式 (26), 得到亚阈值斜率的表达式:

$$S = V_T \ln(10) \cdot [1 - (A_1 B_1)^{-1/2} e^{-L/\lambda - 1} (A_1 e^{L/\lambda} + B_1)]^{-1} \quad (27)$$

5 分析与讨论

本文得到的解析模型计算结果的准确性用二维器件数值模拟器 DESSIS 进行验证. 图 2 描述了沟道长度不同表现出的亚阈值特性. 当栅源电压一定时, 随着沟道长度的减小, 亚阈值电流增大. 这主要归因于, 沟道长度减小, 减弱了栅对沟道的控制能力. 因此, 随着 MOSFET 器件尺寸的减小, 其亚阈值性能也随之变差. 其次, 亚阈值电流随栅源电压的减小而减小. 因此, 减小栅源电压有利于改善亚阈值特性.

图 3 分析了功函数差不同, 亚阈值电流随栅源电压的变化. 可以看出, 随着功函数差的增加, 亚阈值电流迅速减小. 这主要是由于控制栅 $M1$ 下的平带电压增大造成的. 因此, 适当地增大栅的功函数差, 能够得到较好的亚阈值特性. 在亚阈值区, 模型结果与数值模拟结果吻合很好, 然而, 超过这个范围, 即栅源电压较高时, 两者差异较大. 这是因为亚阈值电流模型是在表面势为弱反型状态下推导的, 当栅源电压较高时, 表面势处于强反型状态, 已不再适用, 因此模型结果与数值结果差异较大.

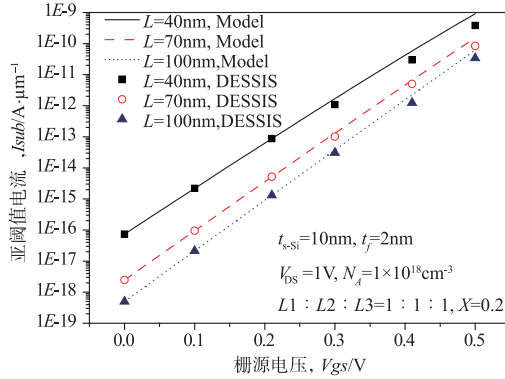


图2 沟道长度不同,亚阈值电流随栅源电压的变化

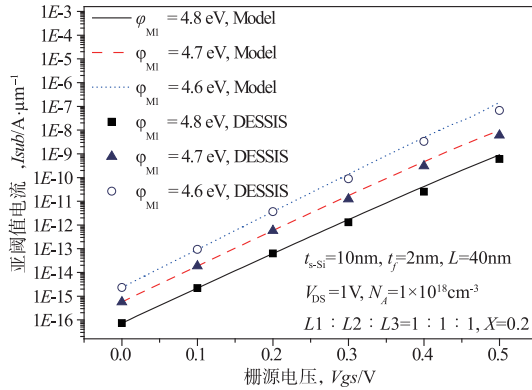


图3 功函数差不同,亚阈值电流随栅源电压的变化曲线

图4 描述了当栅长比例 ($L1:L2:L3$) 不同时,亚阈值电流随栅源电压变化的特性曲线. 由图4可以看出,栅长比例越大,亚阈值电流越小,即泄漏电流越小. 这主要是由于随着控制栅长度的增加,源区和沟道之间的势垒高度增加的结果. 而且栅长比例越大,亚阈值斜率越大,表明了增大栅长比例,能够提高器件的开关特性.

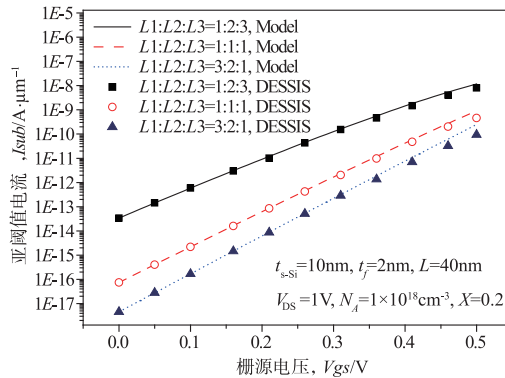


图4 栅长比例不同,亚阈值电流与栅源电压的变化曲线

图5 描述了高 k 介质的介电常数 ϵ_f 不同,亚阈值电流随 Ge 组分的变化曲线. 从图中可以观察到,亚阈值电流随着 Ge 组分的增大而明显增大. 这主要是由于应变的增强使应变硅的禁带宽度降低,电子亲和能增加,增大了本征载流子浓度和沟道的电子密度的原因.

另外,随着高 k 介质的介电常数的增大,亚阈值电流明显减小. 因此介电常数较高的 HfO_2 栅介质比 SiO_2 栅介质有较好的亚阈值特性.

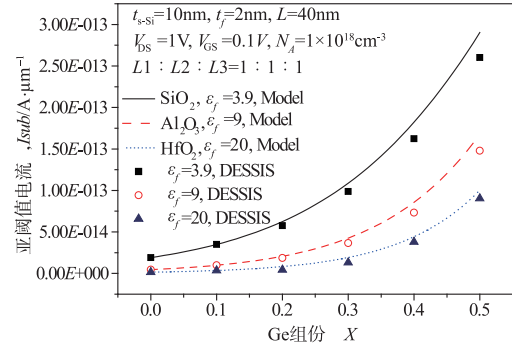
图5 高 k 介质的介电常数 ϵ_f 不同,亚阈值电流随 Ge 组分 X 的变化

图6 描述了应变硅沟道厚度 $t_{\text{Si-Si}}$ 与栅介质高 k 层厚度 t_f 不同,亚阈值斜率 S 随 Ge 组分 X 的变化. 当其他参数一定时,亚阈值斜率随着应变硅沟道厚度与栅介质高 k 层厚度的减小而下降. 这是由于较薄的应变硅沟道和栅介质层,增强了沟道的垂直电场,提高了栅对沟道的控制能力,从而使亚阈值斜率下降. 另外,亚阈值斜率随着 Ge 组分的增大而增大. 这主要是由于增大的应变使源/漏与沟道之间的势垒降低的缘故.

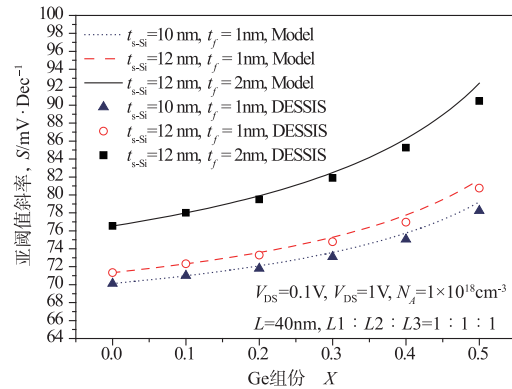
图6 $t_{\text{Si-Si}}$ 与 t_f 不同,亚阈值斜率 S 随 Ge 组分 X 的变化

图7 描述了沟道掺杂浓度不同时,亚阈值斜率随 Ge 组分的变化. 从图中可以看出,沟道掺杂浓度越大,亚阈值斜率越低. 这主要是由于随着沟道掺杂浓度的提高,电离受主使反型载流子面密度减小的缘故.

6 结论

提出了对称三材料双栅应变硅 MOSFET 的亚阈值电流与亚阈值斜率二维解析模型. 研究结果表明,沟长越短,亚阈值电流越大,即亚阈值特性变差;减小栅源电压、增大栅的功函数差能改善亚阈值特性;控制栅与屏蔽栅的栅长比例越大,亚阈值电流越小且亚阈值斜率越大. 介电常数较高的栅介质有较好的亚阈值特性. 栅

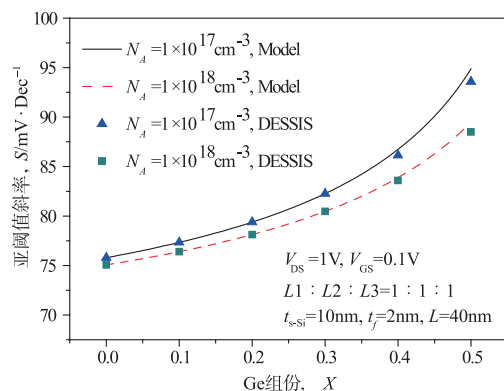


图7 沟道掺杂浓度不同, 亚阈值斜率 S 与Ge组分 X 的关系曲线

介质高 k 层和应变硅膜的厚度越小、沟道掺杂浓度越大, 亚阈值斜率越小. 应变硅沟道一方面提高了载流子的迁移率, 另一方面使亚阈值性能变差. 因此, 合理地选择器件参数变得尤为重要. 在亚阈值区域, 解析模型结果与 DESSIS 仿真结果基本一致.

参考文献

- [1] Holtij T, Graef M, Hain FM, Kloes A. Compact models for short-channel junctionless accumulation mode double gate MOSFETs [J]. IEEE Trans Electron Devices, 2014, 61 (2): 288 – 300.
- [2] Chiang TK. A novel scaling theory for fully depleted pi-gate (PIG) MOSFETs [J]. Solid-State Electronics, 2015, 103: 199 – 201.
- [3] Xiao Y, Lin XL, Lou HJ, Zhang BL, Zhang LN, Chan MS. A short channel double-Gate junctionless transistor model including the dynamic channel boundary effect [J]. IEEE Trans Electron Devices, 2016, 63 (12): 4661 – 4667.
- [4] Suveetha Dhanaselvam P, Balamurugan NB. Performance analysis of fully depleted triple material surrounding gate (TMSG) SOI MOSFET [J]. Journal of Computational Electronics, 2014, 13 (2): 449 – 455.
- [5] Dubey S, Gupta D, Tiwari PK, Jit S. Two-dimensional analytical modeling of threshold voltage of doped short-channel triple-material double-gate (TM-DG) MOSFETs [J]. J. Nano-Electron. Phys., 2011, 3 (1): 576 – 583.
- [6] Pradhan D, Das S, Dash TP. Study of strained-Si p-channel MOSFETs with HfO₂ gate dielectric [J]. Superlattices and Microstructures, 2016, 98: 203 – 207.
- [7] 辛艳辉, 刘红侠, 王树龙, 范晓娇. 对称三材料双栅应变硅金属氧化物半导体场效应晶体管二维解析模型 [J]. 物理学报, 2014, 63 (14): 148502-1 – 148502-6.
Xin YH, Liu HX, Wang SL, Fan XJ. Two-dimensional analytical models for the symmetrical triple-material double-gate strained Si MOSFETs [J]. Acta Physica Sinica, 2014, 63 (14): 148502-1 – 148502-6. (in Chinese)
- [8] Tiwari PK, Dubey S, Singh K, Jit S. Analytical modeling of subthreshold current and subthreshold swing of short-channel triple-material double-gate (TM-DG) MOSFETs [J]. Superlattices and Microstructures, 2012, 51: 715 – 724.
- [9] Young KK. Short-channel effect in fully depleted SOI MOSFETs [J]. IEEE Transactions on Electron Devices, 1989, 36 (2): 399 – 401.
- [10] Dey A, Chakravorty A, Dasgupta N, Dasgupta A. Analytical model of subthreshold current and slope for asymmetric 4-T and 3-T double-gate MOSFETs [J]. IEEE Trans. Electron Devices, 2008, 55 (12): 3442 – 3449.
- [11] 王伟. 应变 SiGe/Si 异质结 CMOS 关键技术研究 [D]. 西安电子科技大学, 2005, 46.
- [12] 甘学温, 黄如, 刘晓彦, 等. 纳米 CMOS 器件 [M]. 北京: 科学出版社, 2004. 103.

作者简介



辛艳辉 女, 1976 年出生, 山东德州人, 博士, 副教授, 现主要从事于半导体器件物理方面的研究.
E-mail: xinyanhui@ncwu.edu.cn



袁合才 男, 1978 年出生, 河南开封人, 副教授, 现主要从事于器件建模方面的研究.
E-mail: yuanhecai@ncwu.edu.cn